

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

EXPRESS MAIL NO. EV327880743US

Applicant : Takahisa Mizuta
Application No. : N/A
Filed : March 9, 2004
Title : PLASMA DISPLAY PANEL AND DRIVING METHOD THEREOF

Grp./Div. : N/A
Examiner : N/A

Docket No. : 51732/DBP/Y35

LETTER FORWARDING CERTIFIED
PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

PostOffice Box 7068
Pasadena, CA 91109-7068
March 9, 2004

Commissioner:

Enclosed is a certified copy of Korean Patent Application No. 2003-0027285, which was filed on April 29, 2003, the priority of which is claimed in the above-identified application.

Respectfully submitted,

CHRISTIE, PARKER & HALE, LLP

By D. Bruce Prout
D. Bruce Prout
Reg. No. 20,958
626/795-9900

DBP/aam
Enclosure: Certified copy of patent application

AAM PAS553827.1-* -03/9/04 10:38 AM



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0027285
Application Number

출원 년 월 일 : 2003년 04월 29일
Date of Application APR 29, 2003

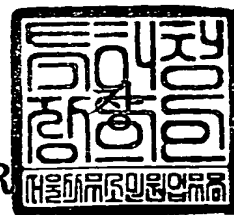
출원인 : 삼성에스디아이 주식회사
Applicant(s) SAMSUNG SDI CO., LTD.



2003 년 12 월 23 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.04.29
【발명의 명칭】	플라즈마 디스플레이 패널 및 그 구동 방법
【발명의 영문명칭】	PLASMA DISPLAY PANEL AND DRIVING METHOD THEREOF
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	이원일
【포괄위임등록번호】	2001-041982-6
【발명자】	
【성명의 국문표기】	미즈다 타카히사
【성명의 영문표기】	MIZUTA, TAKAHISA
【주소】	경기도 수원시 팔달구 영통동 신나무실 주공5단지아파트 518동 802호
【국적】	JP
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 유미특허법인 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	20 면 20,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	29 항 1,037,000 원
【합계】	1,086,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 플라즈마 디스플레이 패널을 구동하는 방법에 관한 것이다. 어드레스 기간에서, 주사 펄스와 어드레스 펄스에 의해 선택된 방전 셀에서 방전이 일어나 벽 전하가 형성된다. 다음, 서스테인 기간에서 먼저 주사 전극에 셋업 펄스가 인가된다. 셋업 펄스가 인가될 때 유지 전극과 주사 전극의 벽 전압과 셋업 펄스의 전압에 의해 유지 전극과 주사 전극 사이에서 방전이 일어난다. 그리고 셋업 펄스가 하강할 때 유지 전극과 주사 전극 사이에서 자기 방전이 일어나서, 공간 전하가 형성된다. 다음, 유지 전극과 주사 전극에 서스테인 펄스가 인가되고, 공간 전하와 서스테인 펄스에 의해 유지방전이 일어난다. 그리고 서스테인 펄스의 폭이 짧아서 유지방전 이후에도 공간 전하가 형성되며, 이 공간 전하가 남아 있는 상태에서 다음 서스테인 펄스가 인가되어 유지방전이 일어난다. 이와 같이 하면 리셋 기간을 제거할 수 있다.

【대표도】

도 5

【색인어】

PDP, 리셋, 어드레스, 서스테인, 방전, 공간 전하, 벽 전하

【명세서】

【발명의 명칭】

플라즈마 디스플레이 패널 및 그 구동 방법 {PLASMA DISPLAY PANEL AND DRIVING METHOD THEREOF}

【도면의 간단한 설명】

도 1은 플라즈마 디스플레이 패널의 개략적인 일부 사시도이다.

도 2는 플라즈마 디스플레이 패널의 전극 배열도이다.

도 3은 종래 기술에 따른 플라즈마 디스플레이 패널의 구동 파형도이다.

도 4a 내지 도 4d는 각각 도 3의 구동 파형에 따른 벽 전하 분포도이다.

도 5는 본 발명의 제1 실시예에 따른 플라즈마 디스플레이 패널의 구동 파형도이다.

도 6a 내지 도 6d는 각각 도 5의 구동 파형에 따른 벽 전하 분포도이다.

도 7은 도 5의 구동 파형에서 셋업 펄스에 의한 방전을 나타내는 도면이다.

도 8은 선택되지 않는 방전 셀에 인가되는 구동 파형도이다.

도 9a 내지 도 9d는 각각 도 8의 구동 파형에 따른 벽 전하 분포도이다.

도 10 내지 도 13은 각각 본 발명의 제2 내지 제5 실시예에 따른 플라즈마 디스플레이 패널의 구동 파형도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 플라즈마 디스플레이 패널(plasma display panel, PDP) 및 그 구동 방법에 관한 것이다.
- <12> 최근 액정 표시 장치(liquid crystal display, LCD), 전계 방출 표시 장치(field emission display, FED), 플라즈마 디스플레이 패널 등의 평면 표시 장치가 활발히 개발되고 있다. 이들 평면 표시 장치 중에서 플라즈마 디스플레이 패널은 다른 평면 표시 장치에 비해 휘도 및 발광효율이 높으며 시야각이 넓다는 장점이 있다. 따라서 플라즈마 디스플레이 패널이 40인치 이상의 대형 표시 장치에서 종래의 음극선관(cathode ray tube, CRT)를 대체할 표시 장치로서 각광받고 있다.
- <13> 플라즈마 디스플레이 패널은 기체 방전에 의해 생성된 플라즈마를 이용하여 문자 또는 영상을 표시하는 평면 표시 장치로서, 그 크기에 따라 수십에서 수백 만개 이상의 화소가 매트릭스 형태로 배열되어 있다. 먼저 도 1 및 도 2를 참조하여 플라즈마 디스플레이 패널의 구조에 대하여 설명한다.
- <14> 도 1은 플라즈마 디스플레이 패널의 일부 사시도이며, 도 2는 플라즈마 디스플레이 패널의 전극 배열도를 나타낸다.
- <15> 도 1에 나타낸 바와 같이, 플라즈마 디스플레이 패널은 서로 마주보며 떨어져 있는 두 개의 유리 기판(1, 6)을 포함한다. 유리 기판(1) 위에는 주사 전극(4)과 유지 전극(5)이 쌍을 이루어 평행하게 형성되어 있으며, 주사 전극(4)과 유지 전극(5)은 유전체층(2) 및 보호막(3)

으로 덮여 있다. 유리 기판(6) 위에는 복수의 어드레스 전극(8)이 형성되어 있으며, 어드레스 전극(8)은 절연체층(7)으로 덮여 있다. 어드레스 전극(8) 사이에 있는 절연체층(7) 위에는 어드레스 전극(8)과 격벽(9)이 형성되어 있다. 또한 절연체층(7)의 표면 및 격벽(9)의 양측면에 형광체(10)가 형성되어 있다. 유리 기판(1, 6)은 주사 전극(4)과 어드레스 전극(8) 및 유지 전극(5)과 어드레스 전극(8)이 직교하도록 방전 공간(11)을 사이에 두고 대향하여 배치되어 있다. 어드레스 전극(8)과, 쌍을 이루는 주사 전극(4)과 유지 전극(5)과의 교차부에 있는 방전 공간(11)이 방전 셀(12)을 형성한다.

<16> 그리고 도 2에 나타난 바와 같이, 플라즈마 디스플레이 패널의 전극은 n 개의 매트릭스 구성을 가지고 있다. 열 방향으로 어드레스 전극($A1-A_m$)이 배열되어 있고 행 방향으로 n 행의 주사 전극($Y1-Y_n$) 및 유지 전극($X1-X_n$)이 쌍으로 배열되어 있다.

<17> 다음, 도 3, 도 4a 내지 도 4d를 참조하여 플라즈마 디스플레이 패널의 종래의 구동 방법에 대하여 설명한다.

<18> 도 3은 종래 기술에 의한 플라즈마 디스플레이 패널의 구동 파형도를 나타내며, 도 4a 내지 도 4d는 종래 구동 방법을 사용하는 경우의 각 구간에서의 벽 전하(wall charge) 분포를 나타내는 도면이다. 즉, 도 4a 내지 도 4d는 각각 도 3에 도시한 구동 파형의 (a) 내지 (d) 부분에 해당하는 전하 분포를 나타내는 도면이다.

<19> 일반적으로 플라즈마 디스플레이 패널은 1 프레임이 복수의 서브필드로 나누어져 구동되며, 서브필드의 조합에 의해 계조가 표현된다. 각 서브필드는, 도 3에 나타난 바와 같이 리셋 기간, 어드레스 기간, 서스테인 기간으로 이루어진다. 리



셋 기간은 이전의 유지방전으로 형성된 벽 전하를 소거하고 다음의 어드레스 방전을 안정적으로 수행하기 위해 벽 전하를 설정하는 역할을 한다. 어드레스 기간은 패널에서 켜지는 셀과 켜지지 않는 셀을 선택하여 켜지는 셀(어드레싱된 셀)에 벽 전하를 쌓아두는 동작을 수행하는 기간이다. 서스테인 기간은 어드레싱된 셀에 실제로 화상을 표시하기 위한 유지방전을 수행하는 기간이다.

<20> 서스테인 기간에서 유지방전이 일어나면 유지 및 주사 전극에 벽 전하가 형성되어 축적된다. 그리고 이 벽 전하에 의해 형성되는 벽 전압과 서스테인 기간에서 교번되어 인가되는 서스테인 펄스에 의해 방전 셀이 다시 유지방전된다. 이러한 과정이 계속 반복됨으로써 일정 회수의 유지방전이 서스테인 기간에서 일어난다. 이와 같이, 종래 기술에서는 주사 및 유지 전극에 형성되어 저장되는 벽 전하의 메모리 기능이 이용되어 유지방전이 일어난다.

<21> 다시 도 3을 보면, 종래의 리셋 구간은 소거 기간, 램프 상승 기간 및 램프 하강 기간으로 이루어진다.

<22> (1) 소거 기간

<23> 마지막 유지 방전이 끝나고 나면, 도 4a에 도시한 바와 같이 유지 전극(X)에는 (+) 전하, 주사 전극(Y)에는 (-) 전하가 쌓이게 된다. 그리고 서스테인 기간 동안에 어드레스 전압은 0V를 유지하고 있지만, 내부적으로는 항상 유지방전의 중간 전압을 유지하려 하기 때문에 어드레스 전극(A)에는 많은 양의 (+) 전하가 쌓여 있게 된다.

<24> 유지방전이 끝나면, 유지 전극(X)에 0V로부터 +Ve 전압을 향하여 완만하게 상승하는 소거 램프 전압이 인가된다. 그러면 유지 전극(X)과 주사 전극(Y)에 형성된 벽 전하는 점점 소거되어 도 4b의 상태와 같이 된다.



<25> (2) 램프 상승 기간

<26> 이 기간 동안에는 어드레스 전극(A) 및 유지 전극(X)을 0V로 유지하고, 주사 전극(Y)에는 유지 전극(X)에 대해 방전 개시 전압 이하인 전압 V_s 로부터 방전 개시 전압을 넘는 전압인 V_{set} 을 향하여 완만하게 상승하는 램프 전압을 인가한다. 이 램프 전압이 상승하는 동안 모든 방전 셀에서는 주사 전극(Y)으로부터 어드레스 전극(A) 및 유지 전극(X)으로 각각 1회째의 미약한 리셋 방전이 일어난다. 그 결과, 도 4c에 나타낸 바와 같이 주사 전극(Y)에 (-) 벽 전하가 축적되고, 동시에 어드레스 전극(A) 및 유지 전극(X)에는 (+) 벽 전하가 축적된다.

<27> (3) Y 램프 하강 구간

<28> 이어서, 리셋기간의 후반에는 유지 전극(X)을 정전압(V_e)으로 유지한 상태에서, 주사 전극(Y)에는 유지 전극(X)에 대해 방전 개시 전압 이하인 전압 V_s 로부터 방전 개시 전압을 넘는 0V를 향해 완만하게 하강하는 램프 전압을 인가한다. 이 램프 전압이 하강하는 동안 다시 모든 방전 셀에서는 2회째의 미약한 리셋 방전이 일어난다. 그 결과, 도 4d에 나타낸 바와 같이 주사 전극(Y)의 (-) 벽 전하가 감소하고 유지 전극(X)은 극성이 반전되어 미약한 (-) 전하가 축적된다. 또한, 어드레스 전극(A)의 (+) 벽 전하는 어드레스 동작에 적당한 값으로 조정된다.

<29> 이와 같이 종래에서는 리셋 기간을 통하여 유지 전극(X), 주사 전극(Y) 및 어드레스 전극(Y)의 상태를 어드레스 기간에서 어드레싱하기에 적절한 상태로 한다. 그런데 종래 구동 방법에서는 모든 서브필드마다 리셋 기간이 반드시 들어가야 하므로 어드레스 기간이 줄어들게 된다. 고해상도의 화면을 주사하기 위해서는 어드레스 기간이 길어야 하는데, 종래 기술에 의하면 고해상도의 화면을 표현하기에는 무리가 있었다. 또한 리셋 기간에서는 2회의 방전이 일

어나므로, 켜지지 않는 방전 셀에서도 무조건 일정한 방전이 존재하게 되어 화면 전체의 콘트라스트가 떨어진다.

【발명이 이루고자 하는 기술적 과제】

<30> 본 발명이 이루고자 하는 기술적 과제는 리셋 기간을 생략할 수 있는 플라즈마 디스플레이 패널의 구동 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<31> 본 발명의 한 특징에 따르면, 제1 기판 위에 각각 나란히 형성되는 복수의 제1 전극 및 제2 전극, 그리고 제1 전극 및 제2 전극에 교차하며 제2 기판 위에 형성되는 복수의 제3 전극을 포함하는 플라즈마 디스플레이 패널의 구동 방법이 제공된다. 이 구동 방법에 의하면 하나의 서브필드는 복수의 방전 셀 중 선택하고자 하는 방전 셀에 벽 전하를 형성하는 어드레스 기간과 선택된 방전 셀을 방전시키는 서스테인 기간으로 이루어진다. 그리고 서스테인 기간 이후에 다음 서브필드의 어드레스 기간이 이어진다. 서스테인 기간은, 제1 전극을 제1 전압으로 한 상태에서 제2 전극에 제1 펄스를 인가하는 단계, 그리고 제1 전극과 제2 전극 사이의 전압차를 제2 전압으로 하는 서스테인 펄스를 제1 전극과 제2 전극에 교대로 인가하는 단계를 포함한다.

<32> 이때, 어드레스 기간 동안 선택된 방전 셀에서는 제1 전압 및 제1 펄스에 의해 방전이 일어나서 제1 공간 전하가 형성되고, 제1 공간 전하는 제2 전압에 의해 방전 셀이 방전될 수 있도록 한다.

<33> 그리고 서스테인 펄스는 선택된 방전 셀에서 방전이 일어난 후에 제2 공간 전하를 생성하고 유지할 수 있을 정도의 폭을 가지는 것이 바람직하다. 또한 제2 공간 전하가 방전 셀이

제2 전압에 의해 방전될 정도로 방전 셀에 잔류되어 있을 때, 제1 전극 또는 제2 전극에 서스테인 펄스가 인가되는 것이 좋다.

<34> 제1 펄스는 일정 기간동안 제3 전압 레벨을 가지는 구형파일 수 있다. 이때, 제3 전압 레벨과 제1 전압 레벨의 차이는 선택된 방전 셀에 형성되어 있는 벽 전하에 의해 형성되는 전압과 함께 제1 전극과 제2 전극 사이의 방전을 일으킬 수 있는 범위 이내인 것이 바람직하다. 또는 제1 펄스는 제3 전압 레벨까지 점진적으로 상승하는 파형일 수도 있다.

<35> 그리고 서스테인 펄스는 선택된 방전 셀에서 방전이 일어난 후에 제1 전극과 상기 제2 전극에 벽 전하가 형성될 수 있을 정도의 폭을 가질 수도 있다. 이때, 서스테인 기간에 제2 전극에 인가되는 마지막 펄스는 제1 전극과 제2 전극에 벽 전하가 형성될 수 없을 정도의 폭을 가지는 것이 바람직하다.

<36> 본 발명의 다른 특징에 따르면, 제1 및 제2 기판, 제1 기판 위에 각각 나란히 형성되는 복수의 제1 전극 및 제2 전극, 제1 전극 및 제2 전극에 교차하며 제2 기판 위에 형성되는 복수의 제3 전극, 그리고 구동 회로를 포함하는 플라즈마 디스플레이 패널이 제공된다. 구동 회로는 하나의 서브필드를 어드레스 기간과 서스테인 기간으로 구동한다. 그리고 서스테인 기간 동안, 구동 회로는, 제1 전극을 제1 전압으로 유지한 상태에서 제2 전극에 셋업 펄스를 인가하고, 소정의 주파수를 가지는 제1 서스테인 펄스와 제2 서스테인 펄스를 각각 제1 전극과 제2 전극에 인가한다.

<37> 이때, 셋업 펄스는 선택된 방전 셀에서 제1 전극과 제2 전극 사이의 방전을 일으켜 제1 공간 전하를 형성할 수 있는 파형을 가진다. 제1 서스테인 펄스가 하이 레벨의 전압을 가지는 경우의 제1 서스테인 펄스와 제2 서스테인 펄스의 전압 레벨의 차이 및 제2 서스테인 펄스가 하이 레벨의 전압을 가지는 경우의 제2 서스테인 펄스와 제1 서스테인 펄스의 전압 레벨의 차

이는 제2 전압 레벨이다. 그리고 제2 전압 레벨은 상기 제1 공간 전하를 프라이밍 입자로 하여 제1 전극과 제2 전극 사이의 방전을 일으킬 수 있는 범위 이내이다.

<38> 제1 및 제2 서스테인 펄스에 의해 제2 전압이 형성되는 기간은 제1 전극과 제2 전극 사이의 방전에 의해 방전 셀에 제2 공간 전하가 형성될 수 있는 범위 이내인 것이 바람직하다. 이때, 제2 공간 전하는 레벨 전환된 제1 및 제2 서스테인 펄스에 의해 형성되는 제2 전압으로 제1 전극과 제2 전극 사이의 방전이 일으킬 수 있는 프라이밍으로 작용한다. 그리고 제1 및 제2 서스테인 펄스의 주파수는, 제2 공간 전하가 제1 전극과 제2 전극 사이의 방전의 프라이밍으로 작용할 수 있을 만큼 잔류되어 있을 범위인 것이 좋다.

<39> 본 발명의 또 다른 특징에 따르면, 복수의 방전 셀 중 선택하고자 하는 방전 셀에 벽 전하를 형성하고 선택된 방전 셀을 방전시켜서 플라즈마 디스플레이 패널을 구동하는 방법이 제공된다. 먼저, 선택된 방전 셀에서 제1 공간 전하를 형성할 수 있는 셋업 펄스를 방전 셀에 인가한다. 다음에, 셋업 펄스에 의해 형성된 제1 공간 전하를 프라이밍으로 하여 선택된 방전 셀을 방전시킬 수 있는 범위의 전압 레벨을 가지는 서스테인 펄스를 방전 셀에 인가한다.

<40> 이때, 상기 서스테인 펄스에 의해 상기 선택된 방전 셀이 방전된 후 제2 공간 전하가 형성되는 것이 바람직하다. 그리고 서스테인 펄스에 의해 형성된 제2 공간 전하를 프라이밍으로 하여 선택된 방전 셀이 방전될 수 있도록 제2 공간 전하가 남아 있는 범위에서, 서스테인 펄스를 레벨 전환하여 방전 셀에 인가하는 것이 좋다.

<41> 본 발명의 또 다른 특징에 따르면, 영상 신호를 구현하는 하나의 프레임을 복수의 서브 필드로 나누어, 복수의 방전 셀이 형성되어 있는 플라즈마 디스플레이 패널을 구동하는 방법이 제공된다. 서브필드는 복수의 방전 셀 중 선택하고자 하는 방전 셀에 벽 전하를 형성하는 어드레스 기간과 선택된 방전 셀을 메모리 기능을 사용하지 않고 유지방전시키는 서스테인 기간

을 포함한다. 그리고 서스테인 기간은 어드레스 기간동안 선택된 방전 셀을 방전시키는 펄스를 인가하는 단계, 그리고 앞에서의 방전을 프라이밍으로 하여 방전 셀을 교번하여 유지방전시킬 수 있는 서스테인 펄스를 인가하는 단계를 포함한다.

<42> 이때, 하나의 서브필드의 서스테인 기간 후에 다음 서브필드의 어드레스 기간이 바로 이어지는 것이 바람직하다.

<43> 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다.

<44> 이제 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 구동 방법에 대하여 도면을 참고로 하여 상세하게 설명한다.

<45> 도 5는 본 발명의 제1 실시예에 따른 플라즈마 디스플레이 패널의 구동 파형도이다. 도 6a 내지 도 6d는 도 5의 구동 파형에 따른 벽 전하 분포도이며, 도 7은 도 5의 구동 파형에서 셋업 펄스에 의한 방전을 나타내는 도면이다.

<46> 도 5에 나타낸 바와 같이, 본 발명의 제1 실시예에 따른 플라즈마 디스플레이 패널의 구동 방법에서 1개의 서브필드는 어드레스 기간과 서스테인 기간으로 이루어지며, 종래 기술에서의 리셋 기간이 제거되어 있다.

<47> 어드레스 기간에서 주사 전극(Y)에는 순차적으로 주사 펄스(51)가 인가되고 어드레스 전극(A)에는 어드레스 펄스(52)가 인가된다. 그리고 유지 전극(X)에는 V_e 전압이 인가되어

있다. 이때, 주사 펄스(51)가 인가되는 주사 전극과 어드레스 펄스(52)가 인가되는 어드레스 전극(A)에 의해 형성되는 방전 셀에서 어드레스 방전이 발생한다. 이 어드레스 방전에 의해 방전 셀에는 벽 전하가 형성된다.

<48> 서스테인 기간에서는 주사 전극(Y)에 먼저 펄스(53)가 인가된다. 이후, 유지 전극(X)과 주사 전극(Y)에 서스테인 펄스(54, 55)가 교대로 인가된다. 셋업 펄스(53)에 의해 어드레스 기간에서 벽 전하가 형성된 방전 셀에서 방전이 일어나서 벽 전하 상태가 변경된다. 변경된 벽 전하 상태는 이후에 인가되는 서스테인 펄스(54, 55)에 의해 유지방전이 일어날 수 있는 상태이다. 그리고 어드레스 기간에서 어드레스 방전이 일어나지 않은 방전 셀에서는 셋업 펄스(53)에 의해서 방전이 일어나지 않고, 이에 따라 이후에 서스테인 펄스(54, 55)가 인가되어도 유지방전이 일어나지 않는다.

<49> 그리고 플라즈마 디스플레이 패널은 어드레스 전극(A)에 어드레스 펄스(52)를 인가하는 어드레스 구동 회로, 그리고 주사 전극(Y)과 유지 전극(X)에 주사 펄스(51), 셋업 펄스(53) 및 서스테인 펄스(54, 55)를 인가하는 주사/유지 구동 회로를 포함한다.

<50> 아래에서는 도 5, 도 6a 내지 도 6d, 도 7을 참조하여 어드레스 펄스와 주사 펄스가 인가되어 선택된 방전 셀에서의 방전 과정에 대하여 자세하게 설명한다. 그리고 도 5, 도 6a 내지 도 6d에서는 설명의 편의상, V_e 전압, 주사 펄스 및 어드레스 펄스가 각각 인가되는 유지 전극(X), 주사 전극(Y) 및 어드레스 전극(A)으로 이루어지는 하나의 방전 셀만을 도시하였다.

<51> 도 5를 보면, 어드레스 기간에서는 유지 전극(X)에는 V_e 전압이 인가되고, 주사 전극(Y)에는 V_{sc} 전압을 가지는 주사 펄스(51)가 인가되며, 어드레스 전극(A)에는 V_a 전압을 가지는 어드레스 펄스(52)가 인가된다. 유지 전극(X)의 전압(V_e)과 어드레스 전극(A)의 전압(V_a)은 기준 전압(도 5에서는 0V)보다 높은 전압이며, 주사 전극의 전압(V_{sc})은 기준 전압보다 낮은

전압이다. 그리고 V_a 전압은 V_{sc} 전압과의 차이에 의해 어드레스 전극(A)과 주사 전극(Y) 사이에서 먼 방전을 일으킬 수 있을 정도의 전압이며, V_e 전압과 V_{sc} 전압과의 차이는 유지 전극(X)과 주사 전극(Y) 사이에서의 방전 개시 전압보다 낮다.

<52> 그러므로 어드레스 전극(A)의 전압(V_a)과 주사 전극(Y)의 전압(V_{sc})의 전압차에 의해 어드레스 전극(A)과 주사 전극(Y) 사이에서 방전이 일어난다. 그리고 어드레스 전극(A)과 주사 전극(Y) 사이에서의 방전을 프라이밍(priming)으로 하여 주사 전극(Y)과 유지 전극(X) 사이에서도 방전이 일어난다. 어드레스 전극(A)과 주사 전극(Y) 사이의 방전 및 유지 전극(X)과 주사 전극(Y) 사이의 방전에 의해, 도 6a에 나타낸 바와 같이 어드레스 전극(A) 및 유지 전극(X)에는 (-) 전하가 쌓이고 주사 전극(Y)에는 많은 양의 (+) 전하가 쌓인다.

<53> 다음, 도 5, 도 6b 및 도 7을 보면, 주사 전극(Y)에 높은 전압(V_r)을 가지는 셋업 펄스(53)가 인가되고, 유지 전극(X) 및 어드레스 전극(A)에는 기준 전압이 인가된다. 셋업 펄스(53)가 상승할 때 유지 전극(X)과 주사 전극(Y)의 벽 전하에 의한 벽 전압과 셋업 펄스의 전압(V_r)에 의해 유지 전극(X)과 주사 전극(Y) 사이에서 주로 방전이 일어난다. 이때, 높은 전압의 셋업 펄스(53)에 의해 어드레스 기간에서 형성된 (-) 전하보다 많은 양의 (-) 전하가 형성되어, 도 6b에 나타낸 바와 같이 유지 전극과 주사 전극에 각각 많은 양의 (+) 전하와 (-) 전하가 쌓인다.

<54> 그리고 도 7에 나타낸 바와 같이 주사 전극(Y)에 인가된 셋업 펄스(53)가 하강할 때 유지 전극(X)과 주사 전극(Y)에 쌓인 벽 전하에 의해 유지 전극(X)과 주사 전극(Y) 사이에서 자기 방전(self discharging)이 일어난다. 이러한 자기 방전에 의해 도 6c에 나타낸 바와 같이 방전 셀에서 공간 전하(space charge)가 형성된다.

- <55> 다음, 공간 전하가 형성되어 있는 방전 셀의 유지 전극(X)에 V_s 전압을 가지는 서스테인 펄스(54)가 인가되고 주사 전극(Y)에는 기준 전압(0V)이 인가된다. 이때, 공간 전하는 프라이밍 입자(priming particle)로서 작용하여 유지방전을 개시할 수 있는 전압을 낮추어준다. 이와 같이, 방전 셀에 공간 전하가 잔류하고 있는 상태에서 방전 개시 전압(V_f)보다 낮은 전압(V_s)이 인가되면, 공간 전하와 V_s 전압에 의해 형성되는 실효(實效) 전압이 방전 개시 전압(V_f) 이상으로 되어 유지방전이 일어난다.
- <56> 그리고 서스테인 펄스(54)가 V_s 전압을 유지하는 기간이 짧으면, 도 6d에 나타낸 바와 같이 유지방전에 의해 생성되는 전하들은 유지 전극(X) 및 주사 전극(Y)에 쌓이지 않고 공간 전하로서 방전 셀에 잔류하게 된다.
- <57> 유지 전극(X)에 인가된 서스테인 펄스(54)에 의해 생성된 공간 전하가 방전 셀에 잔류되어 있는 상태에서, V_s 전압을 가지는 서스테인 펄스(55)가 주사 전극(Y)에 인가된다. 그러면 앞에서 설명한 것처럼 공간 전하와 V_s 전압에 의해 형성되는 실효 전압이 방전 개시 전압(V_f) 이상으로 되어 방전 셀에서 유지방전이 일어난다. 그리고 주사 전극(Y)에 인가된 서스테인 펄스(54)도 V_s 전압을 유지하는 기간이 짧으면, 유지방전에 의해 생성되는 전하들은 유지 전극(X) 및 주사 전극(Y)에 쌓이지 않고 공간 전하로서 방전 셀에 잔류하게 된다. 이와 같이 제1 실시예에 의하면, 종래 기술과 같이 유지 전극(X) 및 주사 전극(Y)에 유지방전에 의해 벽 전하가 거의 축적되지 않으며, 단지 방전 셀에서 짧은 시간동안 존재하는 공간 전하가 사용되어 유지방전이 일어난다. 즉, 종래 기술과 같이 벽 전하의 메모리 기능을 사용하지 않으면서 유지방전을 일으킬 수 있다. 다만, 본 발명의 제1 실시예에서도 어느 정도의 벽 전하가 형성될 수는 있지만, 이러한 벽 전하가 종래 기술에서 설명한 메모리 효과에 사용될 만큼은 아니다.

- <58> 본 발명의 제1 실시예에 따르면, 하나의 서브필드의 서스테인 기간이 끝난 경우에 유지 전극(X)과 주사 전극(Y)에 벽 전하가 형성되어 있지 않으므로, 종래 기술의 리셋 기간이 필요 없다. 즉, 서스테인 기간이 끝난 후에 바로 어드레스 기간이 진행되면 된다.
- <59> 이와 같이 본 발명의 제1 실시예에 따른 구동 파형의 서스테인 기간에서는 먼저 선택된 방전 셀에 셋업 펄스가 인가되어 공간 전하가 형성된다. 다음, 공간 전하가 방전 셀에 잔류되어 있는 상태에서 서스테인 펄스가 인가되어 유지방전이 일어난다. 이때, 서스테인 펄스는 방전에 의해 형성된 전하가 유지 전극(X)과 주사 전극(Y)에 쌓이지 않을 정도로 짧은 폭을 가지는 것이 바람직하다. 또한 유지방전에 의해 형성된 공간 전하가 잔류되어 있는 상태에서 서스테인 펄스가 다시 인가될 수 있도록 서스테인 펄스는 짧은 주기(높은 주파수)를 가지는 것이 바람직하다.
- <60> 다음, 도 8, 도 9a 내지 도 9d를 참조하여 어드레스 펄스가 인가되지 않아서 선택되지 않은 방전 셀에 대하여 설명한다.
- <61> 도 8은 선택되지 않는 방전 셀에 인가되는 구동 파형도이며, 도 9a 내지 도 9d는 도 8의 구동 파형에 따른 벽 전하 분포도이다.
- <62> 도 8에 나타낸 바와 같이, 선택되지 않는 방전 셀의 어드레스 전극(A)에는 어드레스 펄스가 인가되지 않는다. 그러면 어드레스 전극(A)과 주사 전극(Y) 사이에서 방전이 일어나지 않는다. 또한 유지 전극(X)과 주사 전극(Y) 사이의 전압차($V_e - V_{sc}$)는 방전 개시 전압(V_f)보다 낮으므로 유지 전극(X)과 주사 전극(Y) 사이에서 방전이 일어나지 않는다. 따라서 도 9a에 나타낸 바와 같이 주사 전극(Y)에 주사 펄스(51)만 인가된 상태에서는 벽 전하가 형성되지 않는다.



- <63> 다음, 서스테인 기간에서 셋업 펄스(53)가 주사 전극(Y)에 인가될 때 유지 전극(X)과 주사 전극(Y)에 벽 전하가 없으므로 셋업 펄스(53)의 전압(V_r)만으로 유지 전극(X)과 주사 전극(Y) 사이에 방전이 일어나지 않는다. 따라서 도 9b에 나타난 바와 같이 셋업 펄스(53)가 인가된 상태에서 벽 전하가 형성되지 않는다. 그리고 셋업 펄스(53)가 하강할 때도 유지 전극(X)과 주사 전극(Y)에 쌓여 있는 벽 전하가 없으므로 방전이 일어나지 않으며, 따라서 도 9c에 나타난 바와 같이 방전 셀에 공간 전하가 형성되지 않는다.
- <64> 그리고 방전 개시 전압(V_f)보다 낮은 전압(V_s)을 가지는 서스테인 펄스(54)가 유지 전극(X)에 인가될 때, 방전 셀에 공간 전하가 없으므로 유지방전이 일어나지 않는다. 따라서 도 9d에 나타난 바와 같이 방전 셀에 공간 전하도 형성되지 않는다.
- <65> 이와 같이 어드레스 기간에서 어드레스 펄스(52)가 인가되지 않은 방전 셀에서는 방전이 일어나지 않으므로 벽 전하가 형성되지 않으므로, 셋업 펄스(53)에 의해 방전 셀에서 공간 전하가 형성되지 않는다. 이와 같이, 프라이밍 입자로서 작용하는 공간 전하가 형성되어 있지 않으면, 방전 개시 전압(V_f)보다 낮은 전압(V_s)을 가지는 서스테인 펄스가 유지 전극(X) 및 주사 전극(Y)에 교대로 인가되어도 유지방전이 일어나지 않는다.
- <66> 이와 같이 본 발명의 제1 실시예에 따르면 종래 기술에서의 리셋 기간을 제거할 수 있으며, 또한 서스테인 펄스의 주파수가 크기 때문에 서스테인 기간을 줄일 수 있다. 리셋 기간을 제거하고 서스테인 기간을 줄이면 어드레스 기간을 늘일 수 있으므로 고해상도를 구현할 수 있다. 또한 1 프레임에 많은 수의 서브필드를 할당할 수 있어서 고계조의 표현이 가능해지고, 의사 윤곽을 줄일 수 있다. 그리고 서스테인 펄스의 주파수가 크므로 하나의 서브필드에 들어가는 서스테인 펄스의 개수를 크게 할 수도 있다. 그리고 선택되지 않은 방전 셀에서는 어떠한 방전도 존재하지 않으므로 콘트라스트를 향상시킬 수 있다.

- <67> 본 발명의 제1 실시예에서는 셋업 펄스로서 Vr 전압 상태의 폭이 긴 구형파(square wave)를 사용하였지만, 이와는 다른 파형을 사용할 수도 있다. 아래에서는 이러한 실시예에 대하여 도 10 내지 도 12를 참조하여 자세하게 설명한다.
- <68> 도 10 내지 도 12는 각각 본 발명의 제2 내지 제4 실시예에 따른 플라즈마 디스플레이 패널의 구동 파형도이다.
- <69> 도 10을 보면, 본 발명의 제2 실시예에 따른 구동 파형에서 셋업 펄스는 Vr 전압 상태의 폭이 짧은 구형파이다. 셋업 펄스의 Vr 전압에 의해 유지 전극(X)과 주사 전극(Y) 사이에서 방전이 일어나는데, 셋업 펄스의 폭이 짧아서 방전에 의해 형성된 전하가 유지 전극(X) 및 주사 전극(Y)에 벽 전하로 쌓이지 않고 공간 전하로 남는다.
- <70> 도 11을 보면, 본 발명의 제3 실시예에 따른 구동 파형에서 셋업 펄스는 점진적으로 증가하는 램프(ramp) 파형이다. 주사 전극(Y)에 인가되는 전압이 Vr 전압을 향하여 완만하게 상승하면 주사 전극(Y)과 유지 전극(X) 사이에서 방전이 일어나서 주사 전극(Y)과 유지 전극(X)에 벽 전하가 쌓인다. 그리고 램프 파형이 기준 전압으로 떨어질 때 주사 전극(Y)과 유지 전극(X)에 쌓여 벽 전하에 의해 자기 방전이 일어나서 방전 셀에 공간 전하가 형성된다.
- <71> 도 12에 나타낸 바와 같이, 본 발명의 제4 실시예에 따른 구동 파형에서 셋업 펄스는 둥글게 증가하는 라운드(round) 파형이다. 라운드 파형에 따른 방전 현상은 도 11의 램프 파형과 유사하므로 이에 대한 설명은 생략한다.
- <72> 본 발명의 제1 내지 제4 실시예에서 사용한 셋업 펄스 이외에, 어드레스 기간에서 형성된 벽 전하에 의한 전압과 함께 공간 전하를 형성할 수 있다면 다른 셋업 펄스를 사용할 수도 있다.

<73> 그리고 본 발명의 제1 내지 제4 실시예에서는 서스테인 기간에서도 공간 전하를 사용하여 유지방전을 일으켰지만, 이와는 달리 서스테인 기간에서는 벽 전하를 사용하여 유지방전을 일으킬 수도 있다. 아래에서는 이러한 실시예에 대하여 도 13을 참조하여 자세하게 설명한다.

<74> 도 13은 본 발명의 제5 실시예에 따른 플라즈마 디스플레이 패널의 구동 파형도이다.

<75> 본 발명의 제5 실시예에서의 서스테인 펄스(54, 55) 폭은 제1 실시예에서의 서스테인 펄스(54, 55) 폭보다 길다. 그러면 어드레스 기간에서 선택된 방전 셀에서 셋업 펄스(53)에 의해 공간 전하가 형성되어 있을 때, 유지 전극(X)에 서스테인 펄스(54)가 인가되면 유지 전극(X)과 주사 전극(Y) 사이에서 방전이 일어난다. 그리고 서스테인 펄스(54)의 폭이 길기 때문에 방전에 의해 형성된 전하는 유지 전극(X)과 주사 전극(Y)에 벽 전하로 쌓이게 된다. 다음 주사 전극(Y)에 서스테인 펄스(55)가 인가되면 유지 전극(X)과 주사 전극(Y)의 벽 전하로 형성되는 벽 전압과 V_s 전압에 의해 유지 전극(X)과 주사 전극(Y) 사이에 방전이 일어난다. 그리고 서스테인 펄스(55)의 폭이 길면 이 방전에 의해 형성된 전하는 유지 전극(X)과 주사 전극(Y)에 벽 전하로 쌓이게 된다.

<76> 이와 같이 본 발명의 제5 실시예에서는 유지방전으로 유지 전극(X)과 주사 전극(Y)에 벽 전하를 형성하고, 이 벽 전하에 의해 벽 전압과 서스테인 펄스에 의한 전압으로 유지 전극(X)과 주사 전극(Y) 사이의 방전을 일으킨다. 그리고 주사 전극(Y)에 마지막으로 인가되는 서스테인 펄스(56)의 폭을 짧게 하면, 서스테인 펄스(56)에 의한 방전에 의해 형성되는 전하가 유지 전극(X)과 주사 전극(Y)에 쌓이지 않게 된다.

<77> 본 발명의 제1 내지 제5 실시예에서는 그라운드 전위(0V)를 기준 전압으로 하여 설명하였지만, 본 발명은 이에 한정되지 않고 동일한 방전 특성을 나타낼 수 있다면 다른 전압 레벨

의 펄스를 사용할 수도 있다. 예를 들어 서스테인 펄스(54, 55)로서 V_s 전압과 0V를 가지는 펄스를 사용하지 않고, $V_s/2$ 전압과 $-V_s/2$ 전압을 가지는 펄스를 사용할 수 있다. 서스테인 펄스(54)가 $V_s/2$ 전압을 가질 때 서스테인 펄스(55)는 $-V_s/2$ 전압을 가지도록 하고 서스테인 펄스(54)가 $-V_s/2$ 전압을 가질 때 서스테인 펄스(55)는 $V_s/2$ 전압을 가지도록 하면 된다. 또한 서스테인 펄스(54, 55)의 전압차가 V_s 전압으로 되는 기간을 줄임으로써 서스테인 펄스에 의해 공간 전하가 생성되도록 할 수 있다.

<78> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

【발명의 효과】

<79> 본 발명에 의하면, 종래 기술에서의 리셋 기간을 생략할 수 있다. 생략된 리셋 기간에 해당하는 시간을 어드레스 기간에 적용하면 어드레스 기간을 늘일 수 있어서, 고해상도의 화면에 대해서 어드레싱을 할 수 있게 된다. 또한 공간 전하를 이용하여 유지방전을 수행하면, 서스테인 펄스의 주기가 줄어들므로 서스테인 기간을 줄일 수 있다. 이와 같이, 서스테인 기간이 줄어들고 리셋 기간이 제거되면 1 프레임에 많은 수의 서브필드를 할당할 수 있어서 고계조의 표현이 가능해지고, 의사 윤곽을 줄일 수 있다. 그리고 선택되지 않은 방전 셀에서는 어떠한 방전도 존재하지 않으므로 콘트라스트를 향상시킬 수 있다.

**【특허청구범위】****【청구항 1】**

제1 기판 위에 각각 나란히 형성되는 복수의 제1 전극 및 제2 전극, 그리고 상기 제1 전극 및 제2 전극에 교차하며 제2 기판 위에 형성되어 있는 복수의 제3 전극을 포함하며, 인접한 상기 제1 전극, 제2 전극 및 제3 전극에 의해 방전 셀이 복수 개 형성되는 플라즈마 디스플레이 패널을 구동하는 방법에 있어서,

하나의 서브필드는 상기 복수의 방전 셀 중 선택하고자 하는 방전 셀에 벽 전하를 형성하는 어드레스 기간, 그리고 상기 선택된 방전 셀을 방전시키는 서스테인 기간을 포함하며,

상기 서스테인 기간은,

상기 제1 전극을 제1 전압으로 한 상태에서 상기 제2 전극에 제1 펄스를 인가하는 단계, 그리고

상기 제1 전극과 제2 전극 사이의 전압차를 제2 전압으로 하는 서스테인 펄스를 상기 제1 전극과 제2 전극에 교대로 인가하는 단계를 포함하며,

상기 서스테인 기간 이후에 다음 서브필드의 상기 어드레스 기간이 바로 이어지는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 2】

제1항에 있어서,

상기 어드레스 기간동안 선택된 방전 셀에서는 상기 제1 전압 및 상기 제1 펄스에 의해 방전이 일어나서 제1 공간 전하가 형성되고, 상기 제1 공간 전하는 상기 제2 전압에 의해 상기 방전 셀이 방전될 수 있도록 하는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 3】

제2항에 있어서,

상기 제2 전압 레벨은 선택되지 않은 방전 셀에서의 상기 제1 전극과 상기 제2 전극 사이의 방전 개시 전압 레벨보다 낮은 플라즈마 디스플레이 패널의 구동 방법.

【청구항 4】

제2항에 있어서,

상기 서스테인 펄스는 상기 선택된 방전 셀에서 방전이 일어난 후에 제2 공간 전하를 생성하고 유지할 수 있을 정도의 폭을 가지는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 5】

제4항에 있어서,

상기 제2 공간 전하가 상기 제1 전극과 상기 제2 전극이 상기 제2 전압에 의해 방전될 정도로 상기 방전 셀에 잔류되어 있을 때, 상기 제1 전극 또는 상기 제2 전극에 상기 서스테인 펄스가 인가되는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 6】

제2항에 있어서,



상기 서스테인 펄스는, 상기 제1 전극에 인가되며 제3 전압과 제4 전압을 교대로 가지는 제2 펄스와 상기 제2 전극에 인가되며 제5 전압과 제6 전압을 교대로 가지는 제3 펄스를 포함하며,

상기 제3 전압 레벨과 제5 전압 레벨의 차 및 상기 제6 전압 레벨과 상기 제4 전압 레벨의 차는 상기 제2 전압 레벨인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 7】

제2항에 있어서,

상기 제1 펄스는 일정 기간동안 제3 전압 레벨을 가지는 구형파이며,

상기 제3 전압 레벨과 상기 제1 전압 레벨의 차이는 상기 선택된 방전 셀에 형성되어 있는 벽 전하에 의해 형성되는 전압과 함께 상기 제1 전극과 상기 제2 전극 사이의 방전을 일으킬 수 있는 범위 이내인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 8】

제7항에 있어서,

상기 일정 기간은 상기 제1 전극과 상기 제2 전극 사이의 방전에 의해 형성된 전하가 상기 제1 전극과 상기 제2 전극에 쌓일 수 있을 정도의 길이를 가지며,

상기 제1 펄스가 상기 제3 전압에서 하강할 때 상기 제1 전극과 상기 제2 전극에 쌓인 전하에 의해 상기 방전 셀에서 방전이 일어나서 상기 제1 공간 전하가 형성되는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 9】

제7항에 있어서,

상기 일정 기간은 상기 제1 전극과 상기 제2 전극 사이의 방전에 의해 형성된 전하가 상기 제1 공간 전하로 남을 수 있을 정도의 길이를 가지는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 10】

제2항에 있어서,

상기 제1 펄스는 제3 전압 레벨까지 점진적으로 상승하는 파형이며,

상기 제3 전압 레벨과 상기 제1 전압 레벨 사이의 전압차는 상기 선택된 방전 셀에서 상기 제1 전극과 상기 제2 전극 사이의 방전을 일으킬 수 있을 정도의 전압이며,

상기 제1 펄스가 상기 제3 전압 레벨에서 하강할 때 상기 제1 전극과 상기 제2 전극 사이의 방전에 의해 상기 제1 전극과 상기 제2 전극에 쌓인 전하에 의해 방전이 일어나서 상기 제1 공간 전하가 형성되는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 11】

제10항에 있어서,

상기 제1 펄스는 선형적으로 상승하는 램프(ramp) 파형인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 12】

제10항에 있어서,

상기 제1 펄스는 곡선 형태로 상승하는 라운드(round) 파형인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 13】

제7항 또는 제10항에 있어서,

상기 제3 전압 레벨과 상기 제1 전압 레벨 사이의 전압차는 상기 어드레스 기간동안 선택되지 않은 방전 셀에서는 상기 제1 전극과 상기 제2 전극 사이의 방전을 일으킬 수 없는 범위 이내인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 14】

제2항에 있어서,

상기 서스테인 펄스는 상기 선택된 방전 셀에서 방전이 일어난 후에 상기 제1 전극과 상기 제2 전극에 벽 전하가 형성될 수 있을 정도의 폭을 가지는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 15】

제14항에 있어서,

상기 제2 전압 레벨은 상기 제1 및 제2 전극에 형성된 벽 전하에 의해 형성되는 전압과 함께 상기 제1 전극과 상기 제2 전극 사이의 방전을 일으킬 수 있을 범위 이내인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 16】

제15항에 있어서,

상기 서스테인 기간에서 상기 제1 전극 또는 제2 전극에 인가되는 마지막 펄스는 상기 제1 전극과 상기 제2 전극에 벽 전하가 형성될 수 없을 정도의 폭을 가지는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 17】

제1 및 제2 기판,

상기 제1 기판 위에 각각 나란히 형성되는 복수의 제1 전극 및 제2 전극,

상기 제1 전극 및 제2 전극에 교차하며 상기 제2 기판 위에 형성되는 복수의 제3 전극,

그리고

하나의 서브필드를 인접한 상기 제1 전극, 제2 전극 및 제3 전극에 의해 형성되는 복수의 방전 셀 중 선택하고자 하는 방전 셀에 전하를 형성하는 어드레스 기간 및 상기 선택된 방전 셀을 방전시키는 서스테인 기간으로 구동하는 구동 회로를 포함하며,

서스테인 기간 동안, 상기 구동 회로는, 상기 제1 전극을 제1 전압으로 유지한 상태에서 상기 제2 전극에 셋업 펄스를 인가하고, 소정의 주파수를 가지는 제1 서스테인 펄스와 제2 서스테인 펄스를 각각 상기 제1 전극과 제2 전극에 인가하며,

상기 셋업 펄스는 상기 선택된 방전 셀에서 상기 제1 전극과 상기 제2 전극 사이의 방전을 일으키는 플라즈마 디스플레이 패널.

【청구항 18】

제17항에 있어서,

상기 셋업 펄스는 상기 선택된 방전 셀에서 상기 제1 전극과 상기 제2 전극 사이의 방전을 일으켜 제1 공간 전하를 형성할 수 있는 파형을 가지며,

상기 제1 서스테인 펄스가 하이 레벨의 전압을 가지는 경우의 상기 제1 서스테인 펄스와 상기 제2 서스테인 펄스의 전압 레벨의 차이 및 상기 제2 서스테인 펄스가 하이 레벨의 전압을 가지는 경우의 상기 제2 서스테인 펄스와 상기 제1 서스테인 펄스의 전압 레벨의 차이는

제2 전압 레벨이며, 상기 제2 전압 레벨은 상기 제1 공간 전하를 프라이밍 입자로 하여 상기 제1 전극과 상기 제2 전극 사이의 방전을 일으킬 수 있는 범위 이내인 플라즈마 디스플레이 패널.

【청구항 19】

제18항에 있어서,

상기 어드레스 기간 동안,

상기 구동 회로는 상기 제1 전극을 제3 전압으로 유지시킨 상태에서 선택하고자 하는 방전 셀의 상기 제2 전극과 제3 전극에 각각 제4 전압 및 제5 전압을 인가하며,

상기 제5 전압 레벨과 상기 제4 전압 레벨 사이의 전압차는 상기 제2 전극과 상기 제3 전극 사이의 방전을 일으킬 수 있는 범위 이내이며, 상기 제3 전압 레벨과 상기 제4 전압 레벨 사이의 전압차는 상기 제2 전극과 상기 제3 전극 사이의 방전을 프라이밍으로 하여 상기 제1 전극과 상기 제2 전극 사이의 방전을 일으킬 수 있는 범위 이내인 플라즈마 디스플레이 패널.

【청구항 20】

제18항에 있어서,

상기 셋업 펄스는 제3 전압 레벨을 가지는 구형파이며,

상기 구형파의 상승 시에 상기 선택된 방전 셀에서 상기 제1 전극과 상기 제2 전극 사이의 방전을 일어나며,

상기 구형파가 상기 제3 전압 레벨을 지속하는 동안 상기 제1 전극과 상기 제2 전극 사이의 방전에 의해 상기 제1 전극과 상기 제2 전극에 벽 전하가 형성되며,

상기 구형파의 하강 시에 상기 제1 전극과 상기 제2 전극에 형성된 벽 전하에 의해 상기 제1 전극과 상기 제2 전극 사이의 방전이 일어나 상기 제1 공간 전하가 형성되는 플라즈마 디스플레이 패널.

【청구항 21】

제18항에 있어서,

상기 셋업 펄스는 제3 전압 레벨을 가지는 구형파이며,

상기 구형파는 상기 선택된 방전 셀에서 상기 제1 전극과 상기 제2 전극 사이의 방전에 의해 형성된 전하가 상기 제1 공간 전하로 남을 수 있는 범위 이내의 폭을 가지는 플라즈마 디스플레이 패널.

【청구항 22】

제18항에 있어서,

상기 셋업 펄스는 점진적으로 제3 전압 레벨까지 상승하는 파형이며,

상기 제3 전압 레벨과 상기 제1 전압 레벨 사이의 전압차는 상기 선택된 방전 셀에서 상기 제1 전극과 상기 제2 전극 사이의 방전을 일으킬 수 있을 정도의 전압이며,

상기 셋업 펄스의 하강 시에 상기 제1 전극과 상기 제2 전극에 쌓인 전하에 의해 방전이 일어나서 상기 제1 공간 전하가 형성되는 플라즈마 디스플레이 패널.

【청구항 23】

제18항에 있어서,

상기 제1 및 제2 서스테인 펄스에 의해 상기 제2 전압이 형성되는 기간은 상기 제1 전극과 상기 제2 전극 사이의 방전에 의해 상기 방전 셀에 제2 공간 전하가 형성될 수 있는 범위

이내이며, 상기 제2 공간 전하는 레벨 전환된 상기 제1 및 제2 서스테인 펄스에 의해 형성되는 상기 제2 전압으로 상기 제1 전극과 상기 제2 전극 사이의 방전이 일으킬 수 있는 프라이밍으로 작용하며,

상기 제1 및 제2 서스테인 펄스의 주파수는, 상기 제2 공간 전하가 상기 제1 전극과 상기 제2 전극 사이의 방전의 프라이밍으로 작용할 수 있을 만큼 잔류되어 있을 범위 이내인 플라즈마 디스플레이 패널.

【청구항 24】

제18항에 있어서,

상기 제1 및 제2 서스테인 펄스에 의해 상기 제2 전압이 형성되는 기간은 상기 제1 전극과 상기 제2 전극 사이의 방전에 의해 상기 제1 전극과 상기 제2 전극에 벽 전하가 형성될 수 있는 범위 이내이며,

상기 벽 전하에 의해 형성되는 전압과 레벨 전환된 상기 제1 및 제2 서스테인 펄스에 의해 형성되는 상기 제2 전압에 의해 상기 제1 전극과 상기 제2 전극 사이의 방전이 일어나는 플라즈마 디스플레이 패널.

【청구항 25】

제24항에 있어서,

상기 서스테인 기간 동안, 상기 제1 전극 또는 제2 전극에 인가되는 마지막 펄스는 상기 제1 전극과 상기 제2 전극 사이의 방전에 의해 상기 제1 전극과 상기 제2 전극에 벽 전하가 형성되지 않을 범위의 폭을 가지는 플라즈마 디스플레이 패널.

【청구항 26】

복수의 방전 셀 중 선택하고자 하는 방전 셀에 벽 전하를 형성하고 상기 선택된 방전 셀을 방전시켜서 플라즈마 디스플레이 패널을 구동하는 방법에 있어서,

상기 선택된 방전 셀에서 제1 공간 전하를 형성할 수 있는 셋업 펄스를 상기 방전 셀에 인가하고,

상기 셋업 펄스에 의해 형성된 제1 공간 전하를 프라이밍으로 하여 상기 선택된 방전 셀을 방전시킬 수 있는 범위의 전압 레벨을 가지는 서스테인 펄스를 상기 방전 셀에 인가하는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 27】

제26항에 있어서,

상기 서스테인 펄스는 상기 서스테인 펄스에 의해 상기 선택된 방전 셀이 방전된 후 제2 공간 전하가 형성될 범위의 폭을 가지며,

상기 서스테인 펄스에 의해 형성된 제2 공간 전하를 프라이밍으로 하여 상기 선택된 방전 셀이 방전될 수 있도록 상기 제2 공간 전하가 남아 있는 범위 내에서, 상기 서스테인 펄스를 레벨 전환하여 상기 방전 셀에 인가하는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 28】

영상 신호를 구현하는 하나의 프레임을 복수의 서브필드로 나누어, 복수의 방전 셀이 형성되어 있는 플라즈마 디스플레이 패널을 구동하는 방법에 있어서,

상기 서브필드는 상기 복수의 방전 셀 중 선택하고자 하는 방전 셀에 벽 전하를 형성하는 어드레스 기간, 그리고 상기 선택된 방전 셀을 메모리 기능을 사용하지 않고 유지방전시키는 서스테인 기간을 포함하며,

상기 서스테인 기간은,

상기 어드레스 기간동안 선택된 방전 셀을 방전시키는 펄스를 인가하는 단계, 그리고 상기 방전을 프레이밍으로 하여 상기 방전 셀을 교번하여 유지방전시킬 수 있는 서스테인 펄스를 인가하는 단계를 포함하는 플라즈마 디스플레이 패널의 구동 방법.

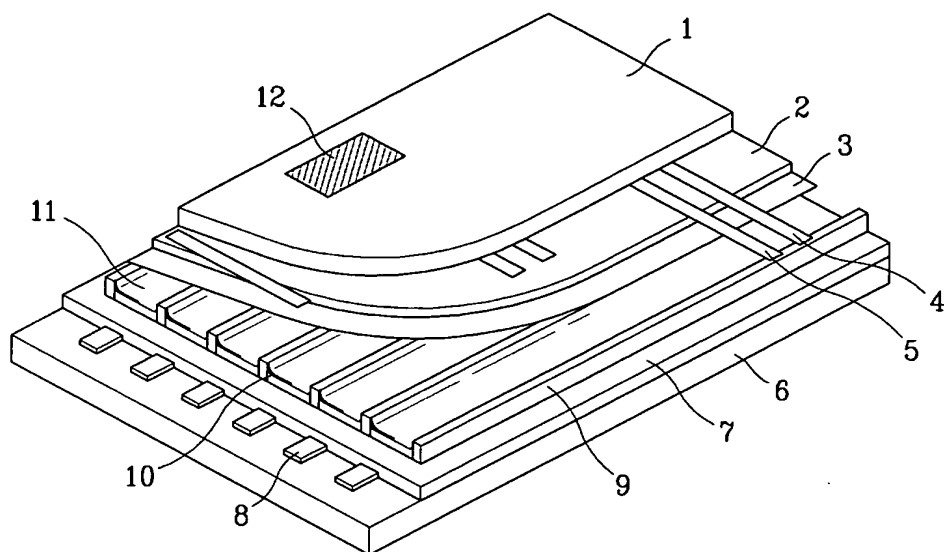
【청구항 29】

제28항에 있어서,

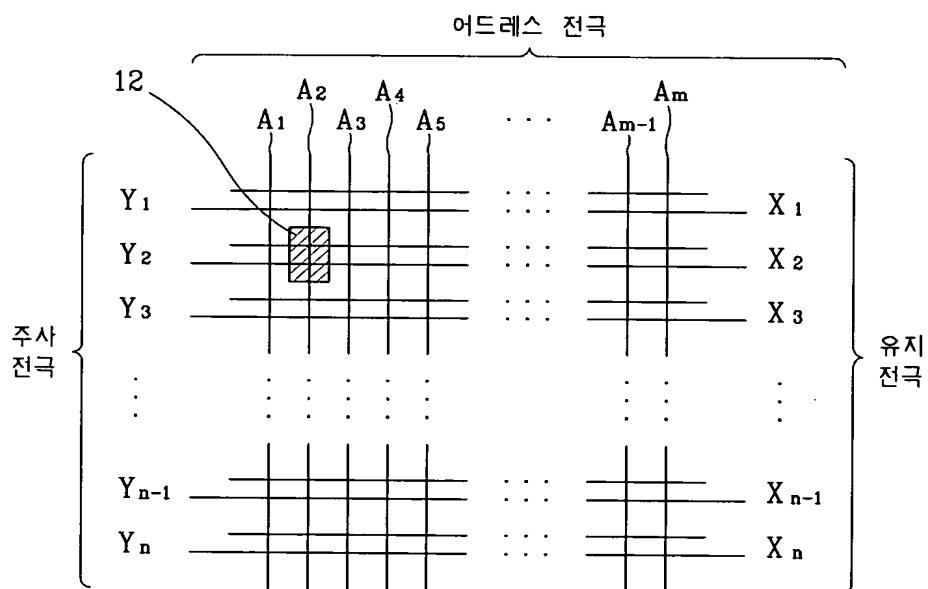
하나의 서브필드의 서스테인 기간 후에 다음 서브필드의 어드레스 기간이 바로 이어지는 플라즈마 디스플레이 패널의 구동 방법.

【도면】

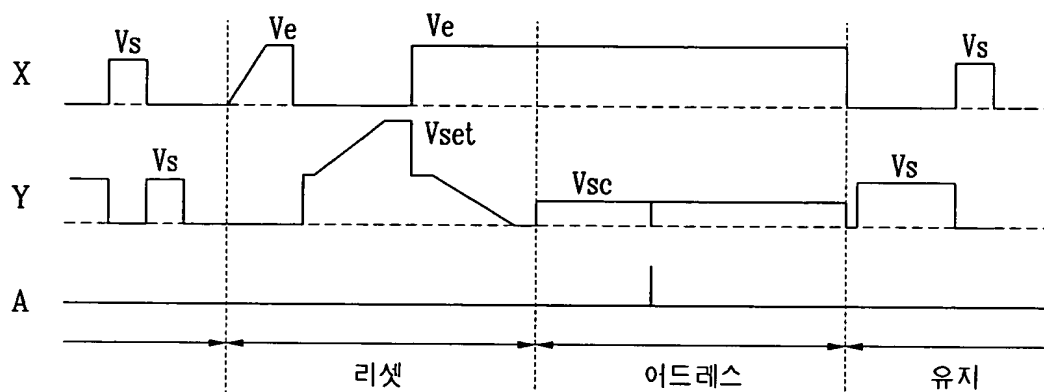
【도 1】



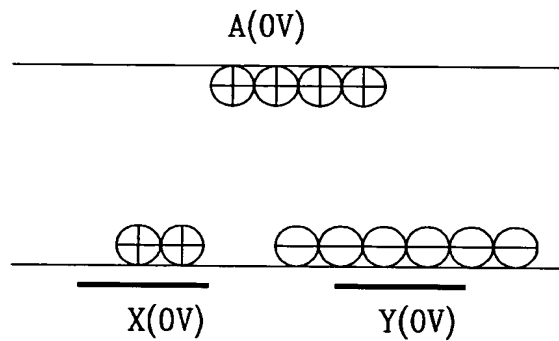
【도 2】



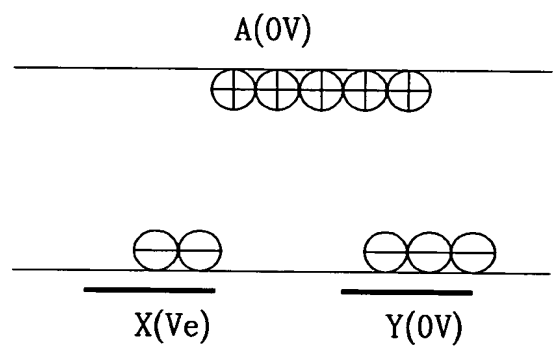
【도 3】



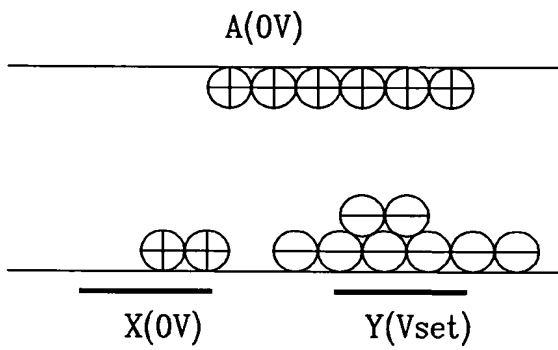
【도 4a】



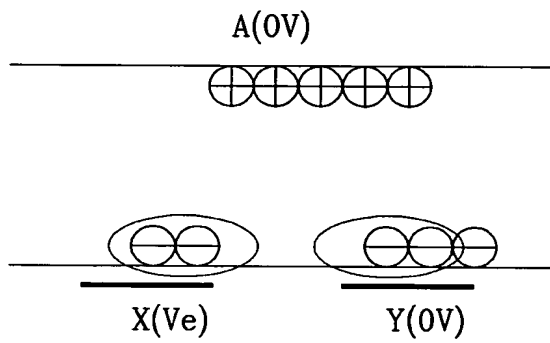
【도 4b】



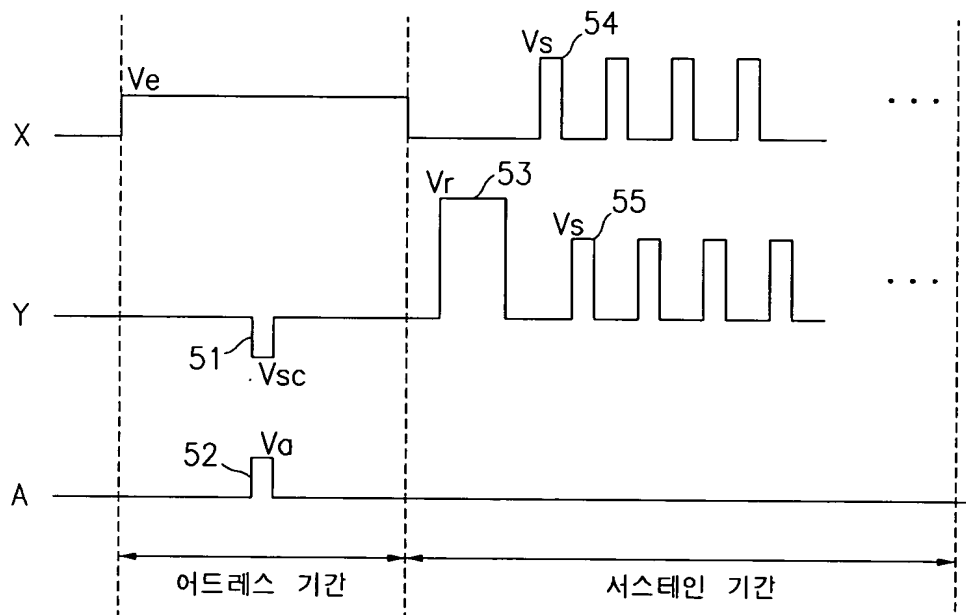
【도 4c】



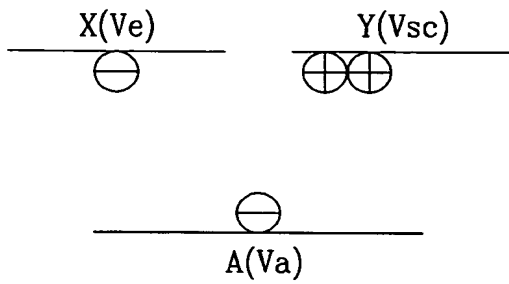
【도 4d】



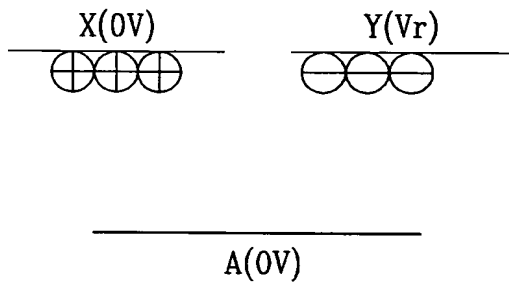
【도 5】



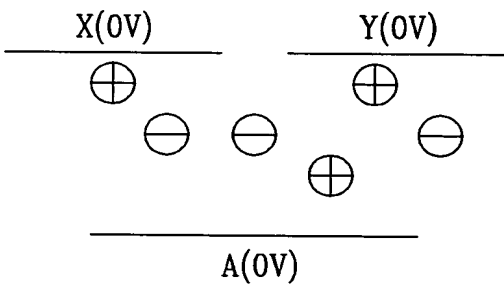
【도 6a】



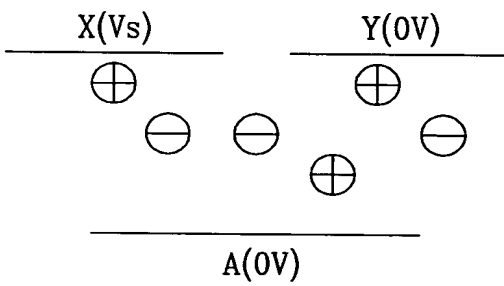
【도 6b】



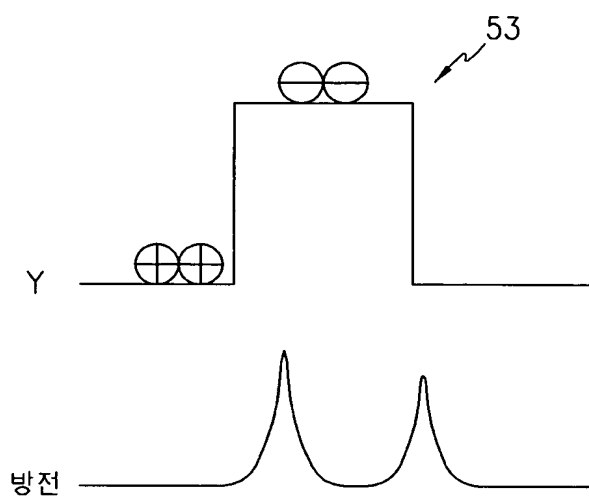
【도 6c】



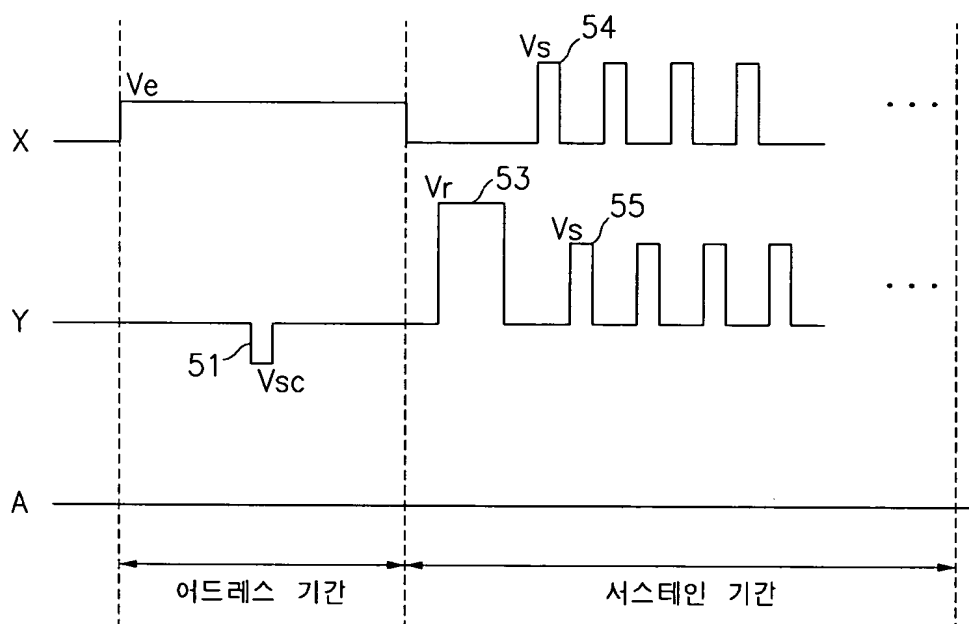
【도 6d】



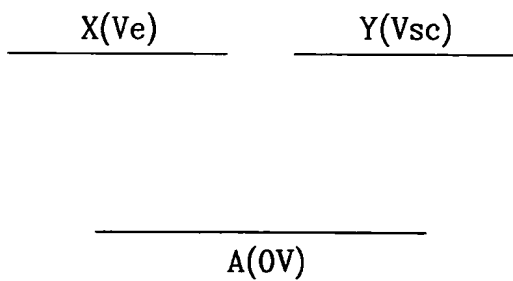
【도 7】



【도 8】



【도 9a】



【도 9b】

X(0V) Y(Vr)

A(0V)

【도 9c】

X(0V) Y(0V)

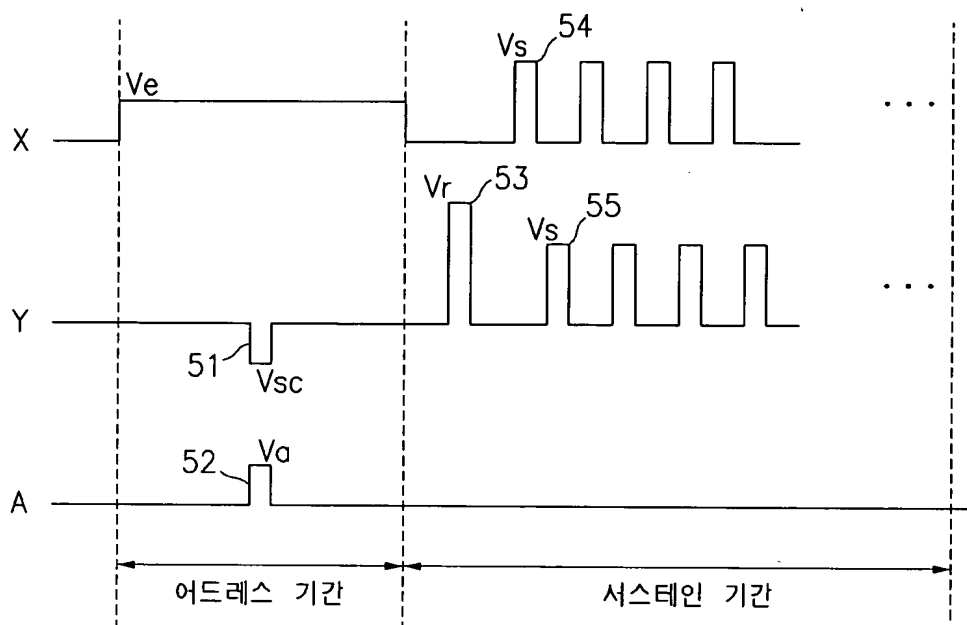
A(0V)

【도 9d】

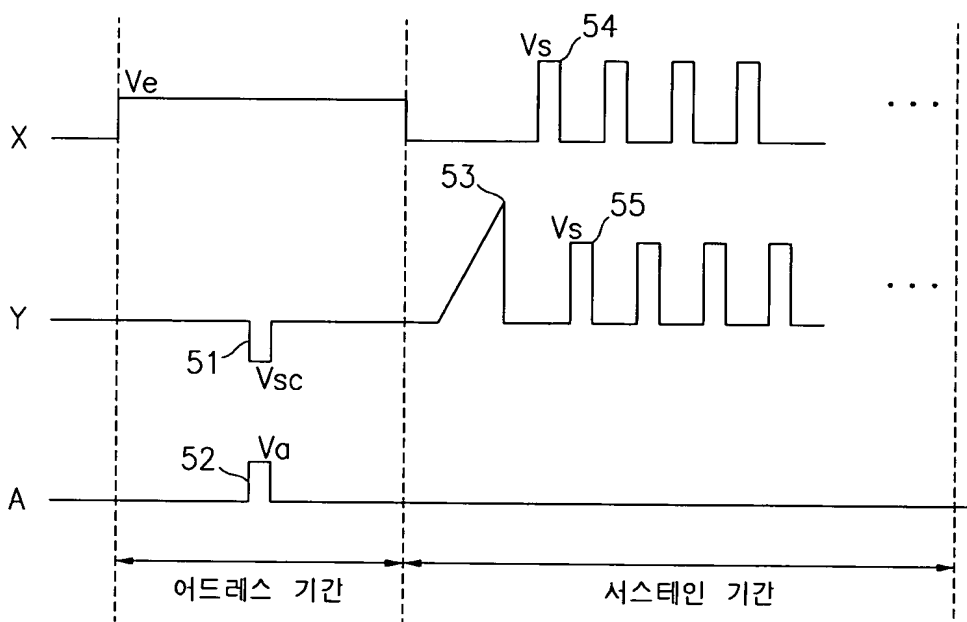
X(Vs) Y(0V)

A(0V)

【도 10】

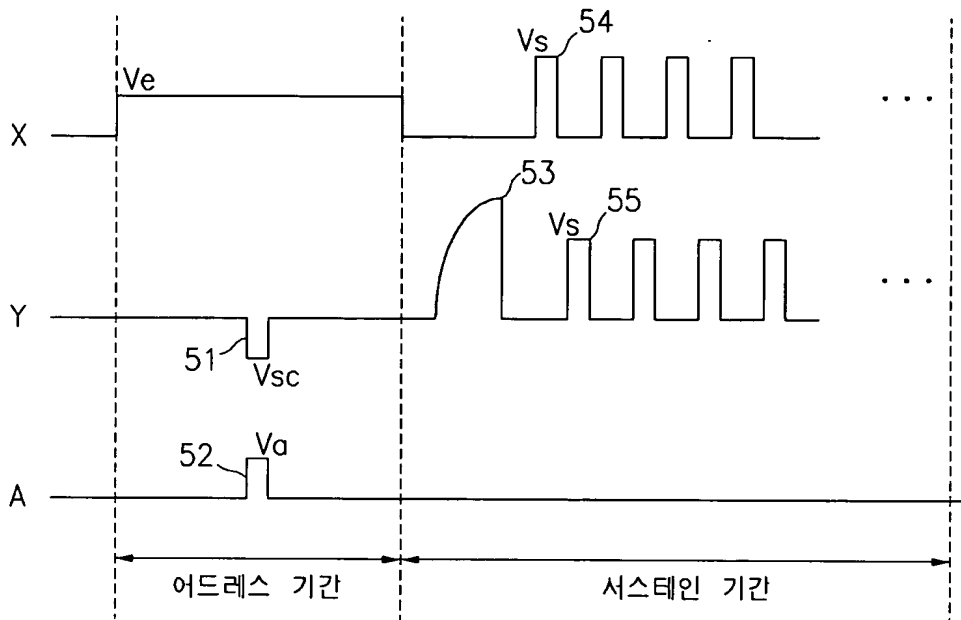


【도 11】





【도 12】



【도 13】

